



# Osnovi računarstva I

**Osnovni digitalni sistemi (nastavak)**

# KOMPARATORI

- **Komparator** – Digitalni sistem koji omogućava **poređenje 2 binarna br.!!**
  - Poređenje binarnih brojeva svodi se na upoređivanje njihovih odgovarajućih bitova (bitova iste važnosti u brojevima koji se porede), počev od MSB-ova ka manje značajnim bitovima
- ⇒ Potrebno je najprije realizovati **1-bitni komparator** (komparator namijenjen poređenju 1-cifrenih binarnih brojeva):

**$x$** ,  **$y$**  – izlazi komparatora koji ukazuju da je  $A_i > B_i$  (odnosno  $A_i < B_i$ )

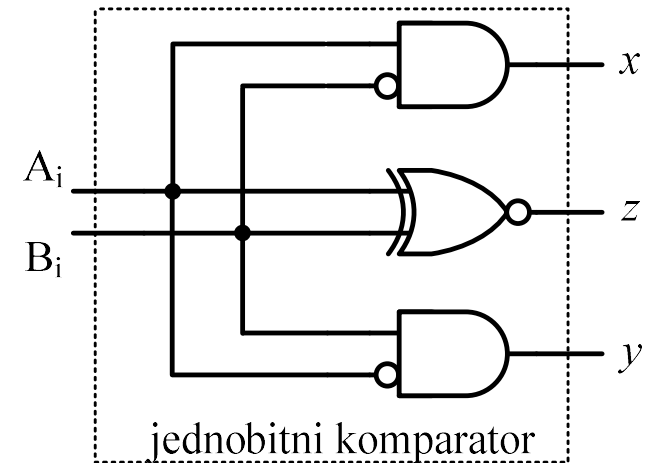
**$z$**  – izlaz komparatora koji ukazuje da je  $A_i = B_i$

$A_i$	$B_i$	$x$	$y$	$z$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

$$x = A_i \cdot \bar{B}_i$$

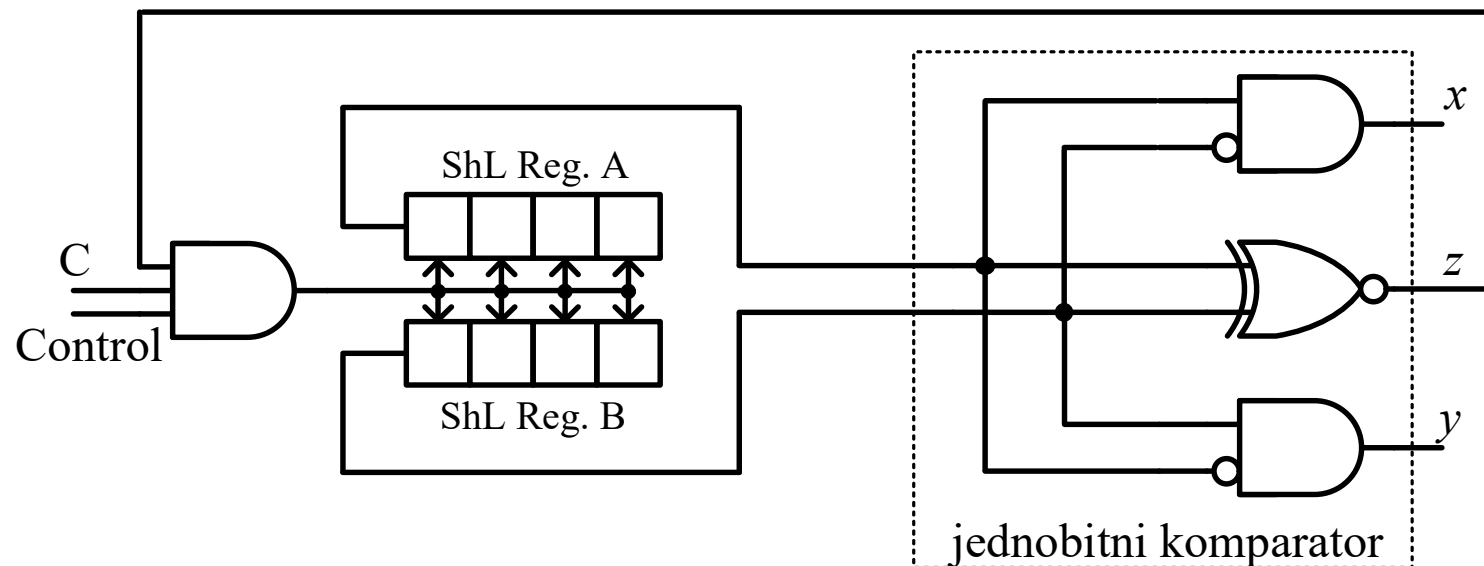
$$y = \bar{A}_i \cdot B_i$$

$$z = \bar{A}_i \cdot \bar{B}_i + A_i \cdot B_i = \overline{A_i \oplus B_i}$$



## KOMPARATORI (NASTAVAK)

- Sistem za poređenje dva 4-cifrena binarna broja (tzv. 4-bitni komparator):



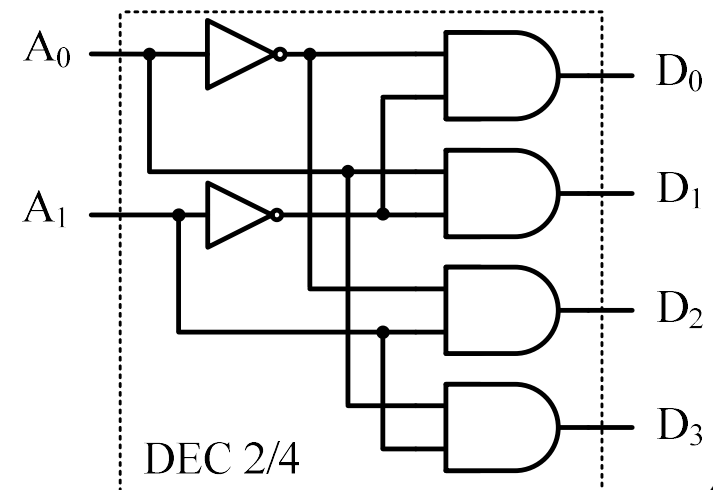
- Ukoliko se u bilo kom trenutku pojavi logička 1 na izlazu x (odnosno, izlazu y) 1-bitnog komparatora, dalje poređenje se obustavlja i zaključuje se da je višecifreni binarni broj A veći (odnosno, manji) od binarnog broja B
- Zaustavljanje poređenja obavlja se signalom z, koji u tom trenutku poprima vrijednost logičke 0, pa onemogućava prolaz taktnog signala kroz logičko I kolo

# DEKODER

- Dekoder je digitalno kolo koje ima  $n$  ulaza, na koje se dovode bitovi kodiranog podatka
- Kako se pomoću  $n$  bitova na ulazu dekodera može zapisati  $2^n$  različitih potpunih bin. kombinacija ovih bitova, dekodeer sadrži  $2^n$  različitih izlaza
- Za svaku kombinaciju ulaznih bitova, samo jedan izlaz dekodera je na nivou logičke 1, dok su svi ostali izlazi dekodera na nivou logičke 0
- Na nivou logičke 1 je izlaz čiji redni broj odgovara bin. kombinaciji sa ulaza dekodera

DEC 2/4:

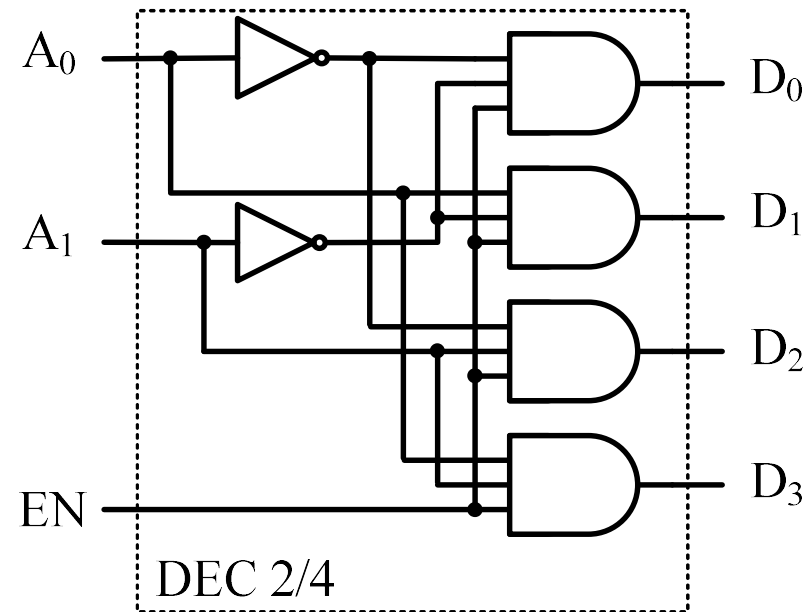
$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0



## DEKODER (NASTAVAK)

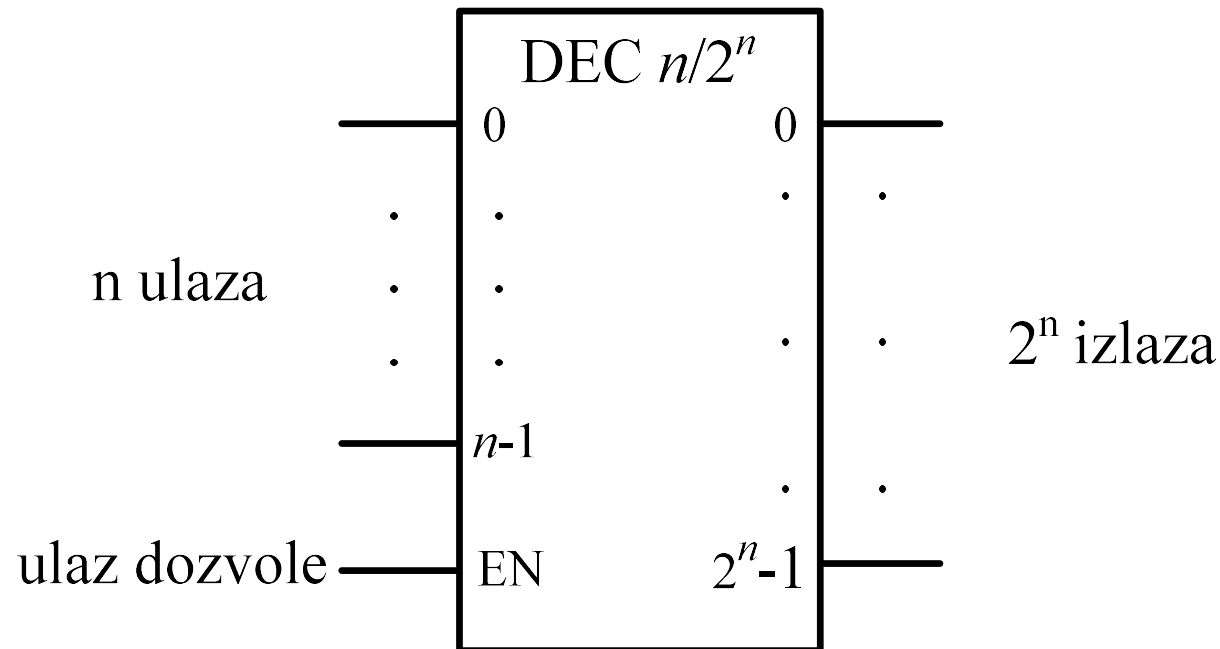
- Dekoder često ima dodatni ulazni signal (signal dozvole, **enable ulaz**), koji se u šematskom prikazu dekodera skraćeno označava sa **EN**
- Kada je **signal EN na nivou logičke 1, omogućeno je funkcionisanje dekodera** na prethodno opisani način
- Kada je **signal EN na nivou logičke 0, onemogućeno je funkcionisanje dekodera, tj. svi njegovi izlazi istovremeno su na nivou logičke 0**

EN	A <sub>1</sub>	A <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	×	×	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0



## DEKODER (NASTAVAK)

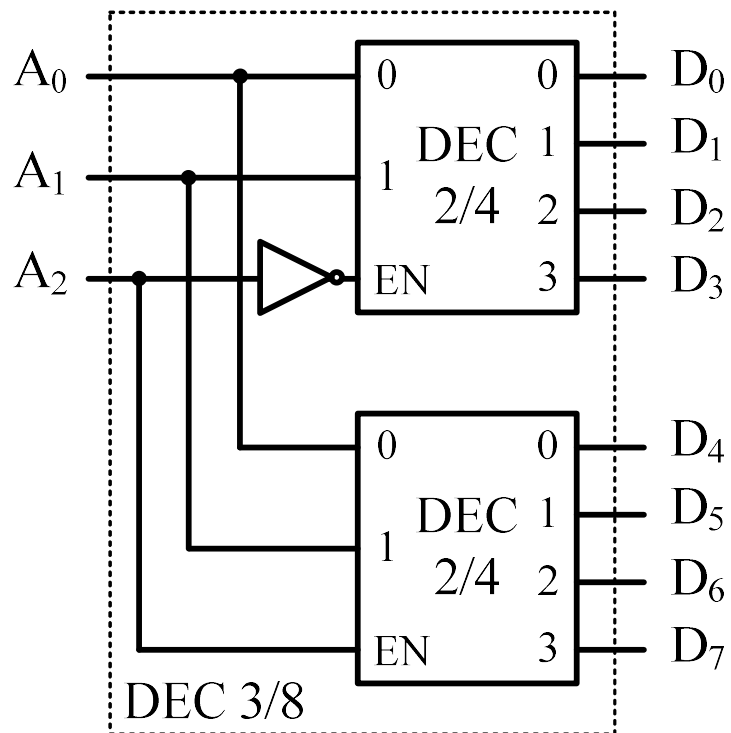
- Šematski prikaz dekodera DEC  $n/2^n$  sa signalom dozvole EN:



**VAŽNO:** Dekoderi sa sign. dozvole EN mogu se kombinovati u cilju formiranja digitalnih kola čije funkcionisanje odgovara dekoderima sa većim brojem izlaza u odnosu na dekodere koji ga sačinjavaju !!

## DEKODER (NASTAVAK)

- Primjer: **DEC 3/8 bez signala dozvole** realizovan **upotrebom 2 dekodera DEC 2/4 sa signalom dozvole EN**



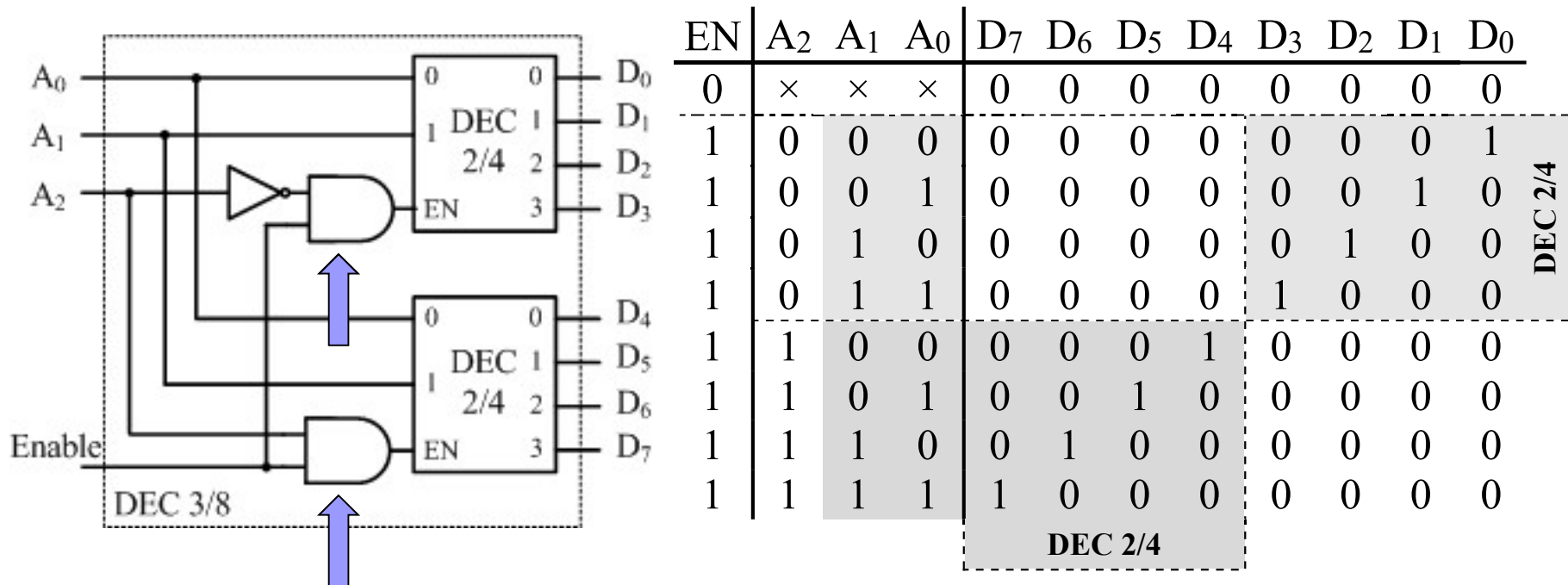
A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

DEC 2/4

DEC 2/4

# DEKODER (NASTAVAK)

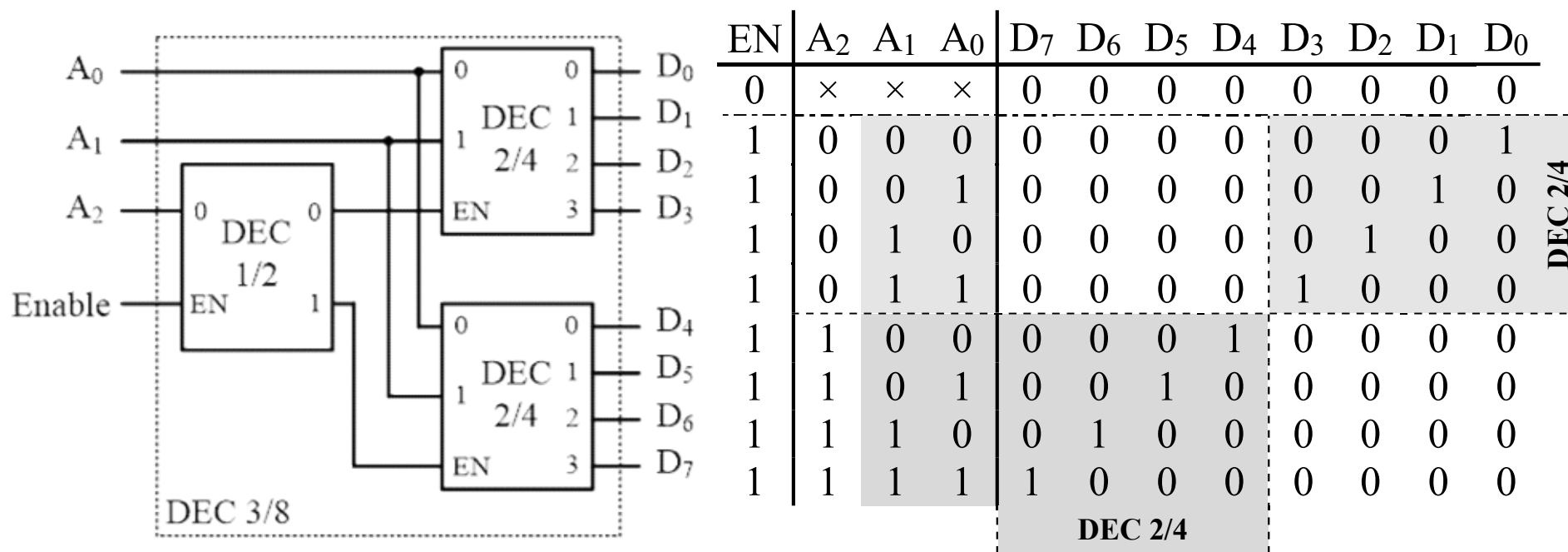
- Primjer: DEC 3/8 sa signalom dozvole Enable realizovan upotrebom dva dekodera DEC 2/4 sa signalom dozvole EN i osnovnih logičkih kola





## DEKODER (NASTAVAK)

- Primjer: DEC 3/8 sa signalom dozvole Enable realizovan upotrebom dva DEC 2/4 sa signalom dozvole EN i jednog DEC 1/2 sa signalom dozvole EN



## (EN)KODER

- **(En)koder** je digitalno kolo koje funkcioniše inverzno u odnosu na dekoder
- Ovo kolo u opštem slučaju **sadrži  $2^n$  ulaza i  $n$  izlaza**
- Suprotno funkcionisanju dekodera, **u posmatranom trenutku samo jedan ulaz enkodera može imati vrijednost logičke 1, dok su ostali njegovi ulazi na nivou logičke 0**
- **Na svom izlazu, enkoder formira  $n$ -tobitni zapis koji odgovara rednom broju (ili nekom drugom kodu) onog njegovog ulaza čija se vrijednost nalazi na nivou logičke 1**

za enkoder sa 4 ulaza i 2 izlaza:

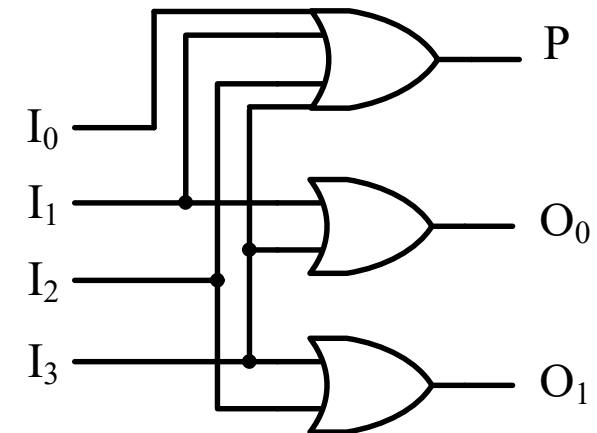
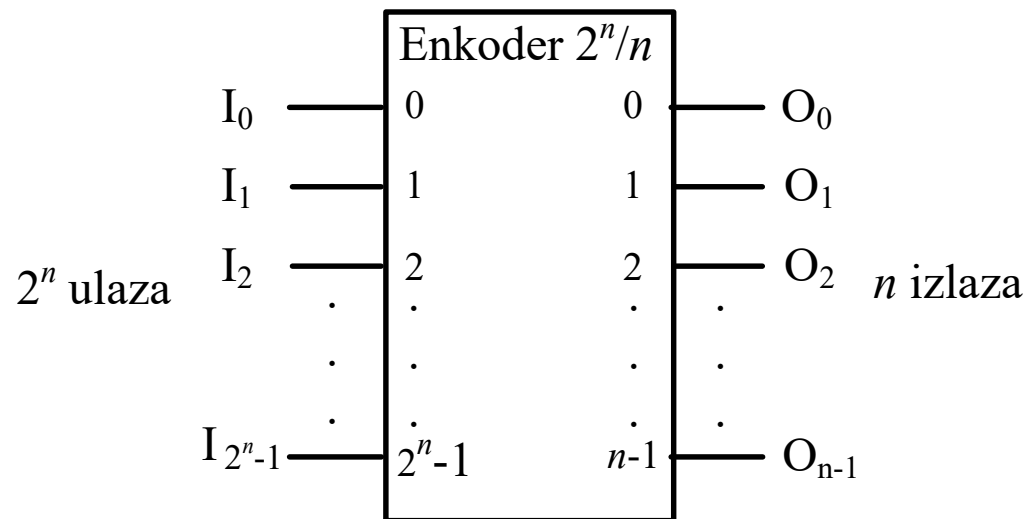
$I_3$	$I_2$	$I_1$	$I_0$	$O_1$	$O_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

$$O_1 = I_2 + I_3$$

$$O_0 = I_1 + I_3$$

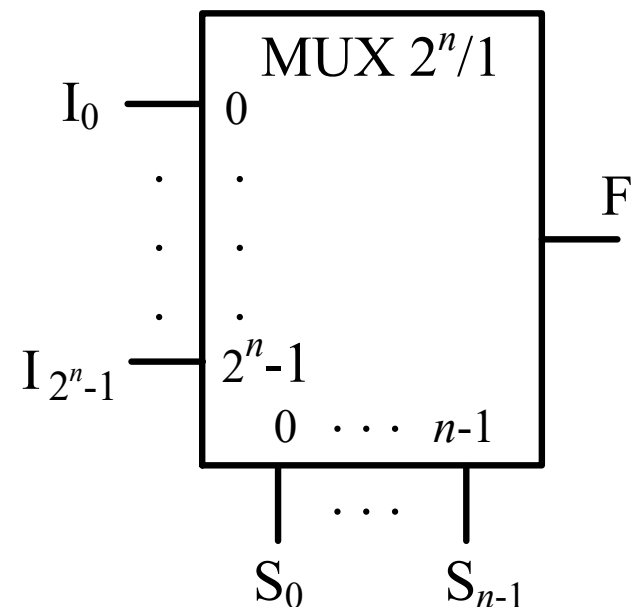
## (EN)KODER (NASTAVAK)

- Izlazni bitovi enkodera jednaki su nuli ( $O_1=0$ ,  $O_0=0$ ) u dva slučaja:
  - Ukoliko je aktivan ulaz  $I_0$  ( $I_0=1$ ),
  - Ukoliko nijedan ulaz nije aktivan ( $I_0=I_1=I_2=I_3=0$ ).
- Da bi se razlikovala ova dva slučaja, neophodno je osim izlaza  $O_1$  i  $O_0$  kreirati još jedan izlaz koji će detektovati da li je bilo koji ulaz enkodera aktivan:  $P = I_3 + I_2 + I_1 + I_0$



# MULTIPLEKSER

- **Multiplekser** je digitalno kolo koje omogućava selektovanje tačno jednog od  $2^n$  ulaznih signala i obezbeđuje prosljeđivanje signala sa odabranog ulaza ka svom izlazu
- U opštem slučaju, **multiplekser** posjeduje  $2^n$  ulaza, na koje se dovode ulazni signali, i samo jedan izlaz
- Odabiranje ulaza čiji se sadržaj prosljeđuje do izlaza multipleksera vrši se zadavanjem njegove adrese u vidu rednog broja odabranog ulaza
- Zadavanje adrese vrši se preko selekcionih (kontrolnih) ulaza multipleksera
- Adresiranje  $2^n$  različitih ulaza multipleksera zahtijeva  $n$  adresnih bitova, odnosno  $n$  selekcionih ulaza multipleksera

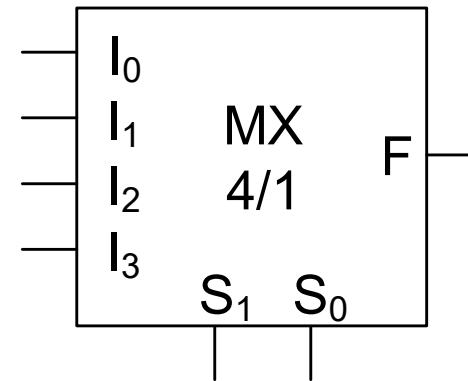


## MULTIPLEKSER (NASTAVAK)

- Funkcionisanje multipleksera može se prikazati tabelarno.

za MUX 4/1:

$S_1$	$S_0$	$F$
0	0	$I_0$
0	1	$I_1$
1	0	$I_2$
1	1	$I_3$



- Iz funkcionalne tabele može se izvesti logička struktura multipleksera

za MUX 4/1:

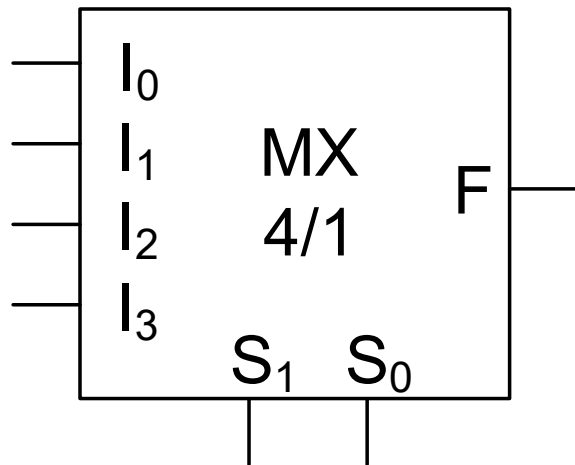
1– Zapiše se log. izraz koji opisuje funkcionisanje MUX 4/1,

$$F = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$

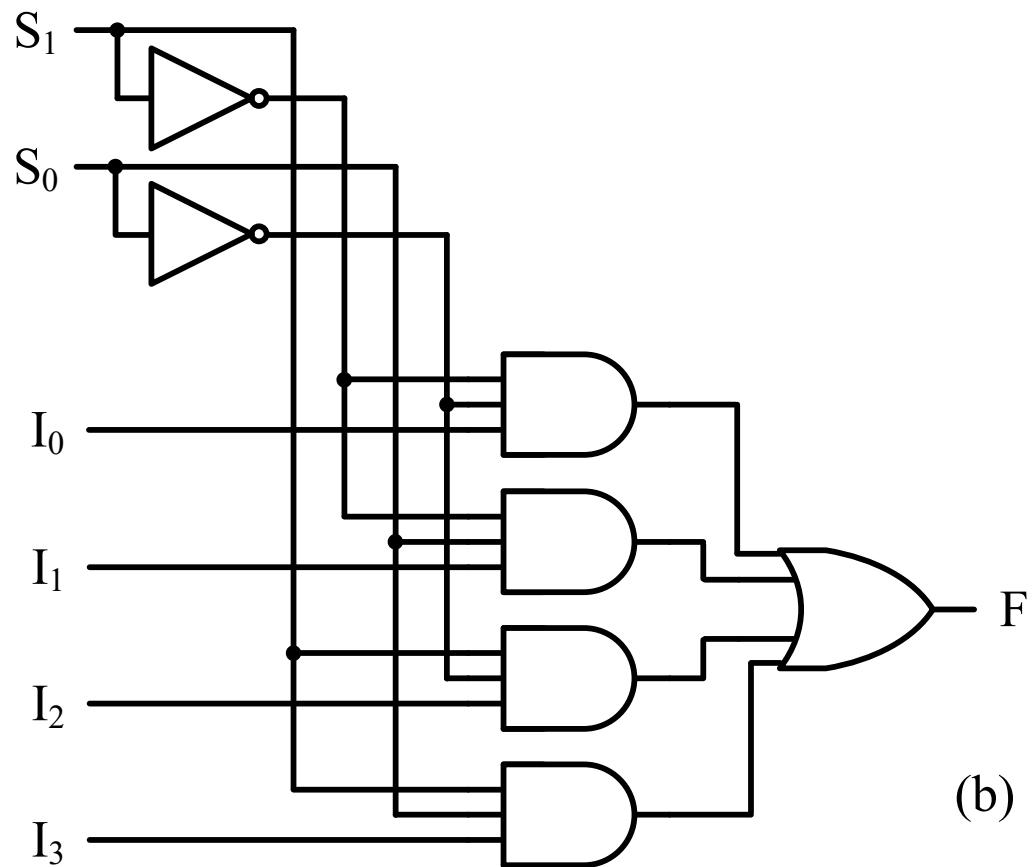
2– Implementacijom log. izraza  $\Rightarrow$  potpuna logička struktura MUX 4/1

# MULTIPLEKSER (NASTAVAK)

$$F = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$



(a)



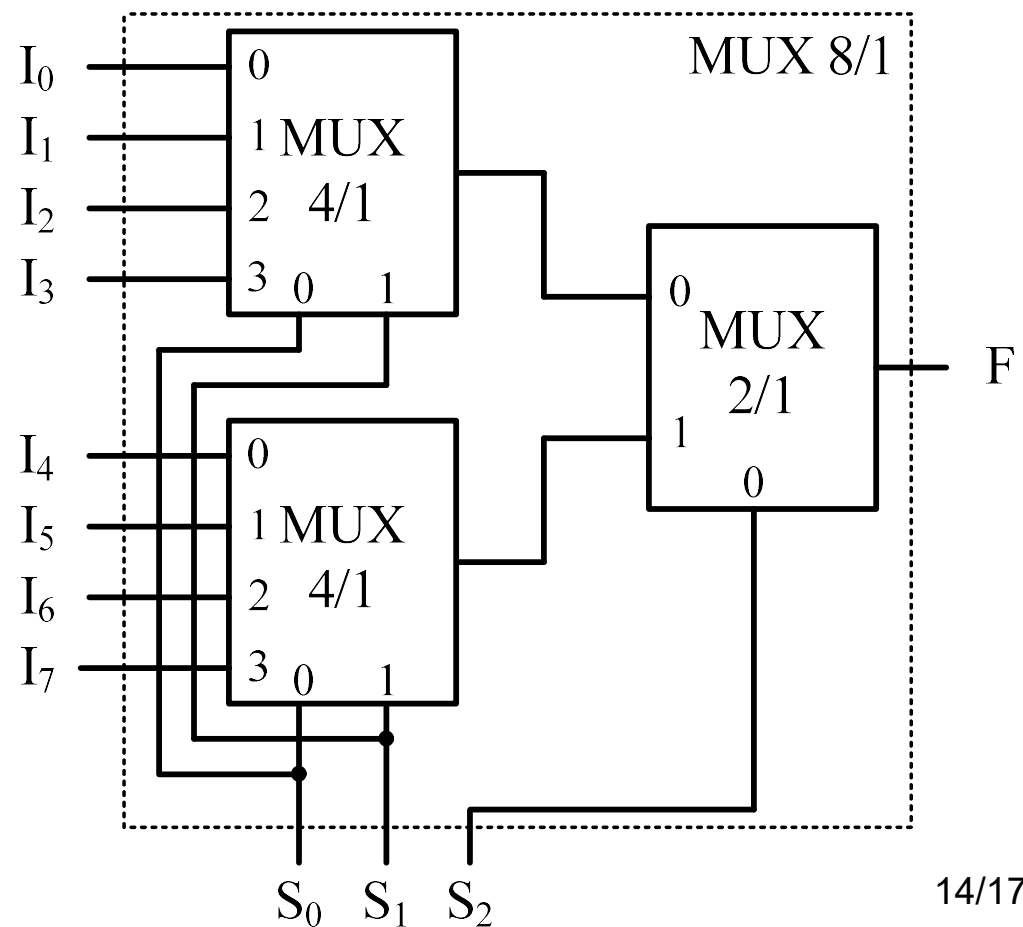
(b)

# MULTIPLEKSER (NASTAVAK)

**VAŽNO:** Multiplekseri se mogu kombinovati u cilju formiranja digitalnih kola čije funkcionisanje odgovara multiplexerima sa većim br. ulaza u odnosu na multiplexere koji ga sačinjavaju !!

Primjer: **MUX 8/1** realizovan uz pomoć 2 multipleks. MUX 4/1 i 1 multipleks. MUX 2/1

S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	F
0	0	0	I <sub>0</sub>
0	0	1	I <sub>1</sub>
0	1	0	I <sub>2</sub>
0	1	1	I <sub>3</sub>
MUX 4/1			
1	0	0	I <sub>4</sub>
1	0	1	I <sub>5</sub>
1	1	0	I <sub>6</sub>
1	1	1	I <sub>7</sub>
MUX 4/1			



# DEMULTIPLIKSER

- **Demultiplekser** je digitalno kolo koje funkcioniše inverzno u odnosu na multiplekser
- **Demultiplekser ima jedan ulaz i  $2^n$  različitih izlaza. Omogućava da se podatak  $x$ , doveden na njegov ulaz, proslijedi do odabranog (jednog od  $2^n$ ) izlaza**
- **Odabir izlaza vrši se pomoću  $n$  selekcionih (kontrolnih) ulaza**
- **Funkcionisanje demultipleksera može se prikazati tabelarno**

za DMUX 1/4:

$S_1$	$S_0$	$O_3$	$O_2$	$O_1$	$O_0$
0	0	0	0	0	$x$
0	1	0	0	$x$	0
1	0	0	$x$	0	0
1	1	$x$	0	0	0

$$O_3 = x \cdot S_1 \cdot S_0$$

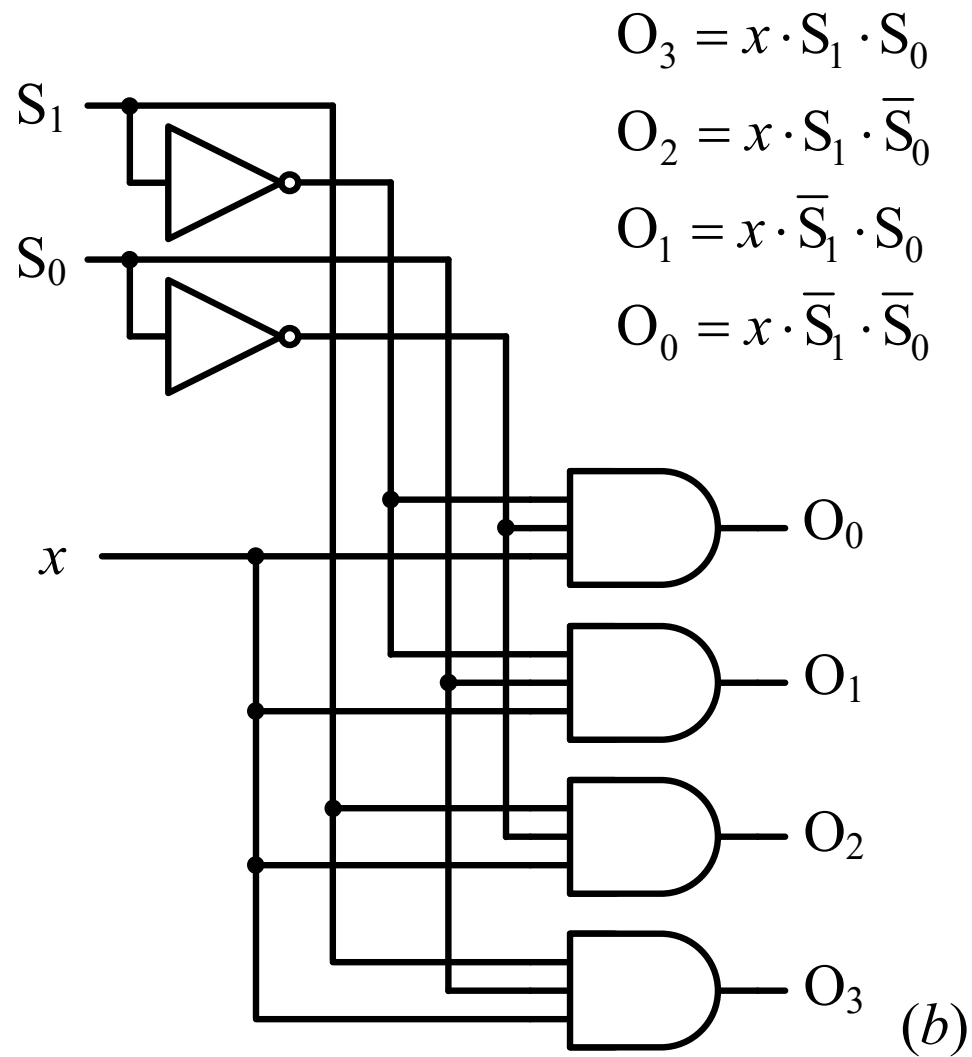
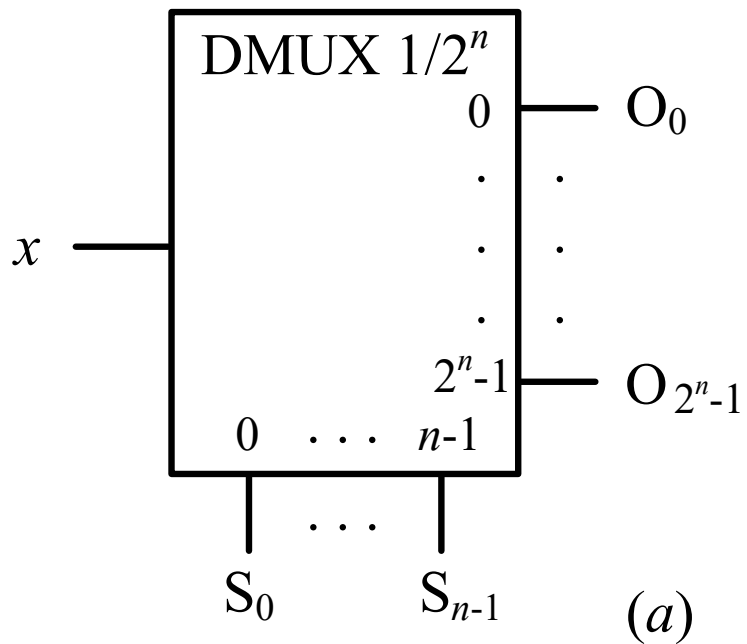
$$O_2 = x \cdot S_1 \cdot \bar{S}_0$$

$$O_1 = x \cdot \bar{S}_1 \cdot S_0$$

$$O_0 = x \cdot \bar{S}_1 \cdot \bar{S}_0$$



# DEMULTIPLESER (NASTAVAK)



$$O_3 = x \cdot S_1 \cdot S_0$$

$$O_2 = x \cdot S_1 \cdot \bar{S}_0$$

$$O_1 = x \cdot \bar{S}_1 \cdot S_0$$

$$O_0 = x \cdot \bar{S}_1 \cdot \bar{S}_0$$